

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

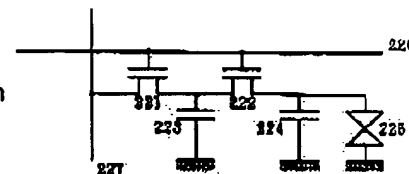
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN(11)Publication number : **2000-314900**(43)Date of publication of application : **14.11.2000**

(51)Int.Cl.

G02F 1/1368**G09F 9/30****H01L 29/786****H01L 21/396**(21)Application number : **2000-093236**(71)Applicant : **SEMICONDUCTOR ENERGY LAB CO LTD**(22)Date of filing : **02.06.1994**(72)Inventor : **TAKEMURA YASUHIKO
HAMAYA TOSHIJI
KONUMA TOSHIMITSU
KOYAMA JUN
KAWASAKI YUJI****(54) ACTIVE MATRIX DISPLAY DEVICE****(57)Abstract:****PROBLEM TO BE SOLVED:** To make it possible to suppress the voltage drop of a liquid crystal cell by connecting plural thin film transistors and appropriate capacitances.**SOLUTION:** A semiconductor film is formed of the same material as that of the channel area of a thin film transistor, an insulating film forming capacitance is formed of the same material as that of an gate insulating film of the thin film transistor, and an electrode forming the capacitance is formed of the same material as that of a gate electrode of the thin film transistor, respectively. By providing capacitance 223 between the thin film transistors 221, 222 connected in series, a voltage appearing across the source and drain of the thin film transistor 222 especially on the pixel electrode is reduced, and the OFF-current of the thin film transistor 222 is decreased. Therefore, it is possible to prevent a thin film transistor from being deteriorated because the deterioration of a thin film transistor depends on the voltage across the source and drain. Moreover, when one or both of the capacitors 223, 224 are formed of MOS type capacitors, it is effective for integration.**LEGAL STATUS**

[Date of request for examination] 29.03.2001

[Date of sending the examiner's decision of rejection] 27.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3297666

[Date of registration] 12.04.2002

[Number of appeal against examiner's decision of rejection] 2001-23135

[Date of requesting appeal against examiner's decision of rejection] 26.12.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-314900

(P2000-314900A)

(43) 公開日 平成12年11月14日 (2000. 11. 14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z
21/336			

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2000-93236(P2000-93236)
 (62) 分割の表示 特願平8-145574の分割
 (22) 出願日 平成6年6月2日 (1994. 6. 2)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 浜谷 敏次
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 小沼 利光
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

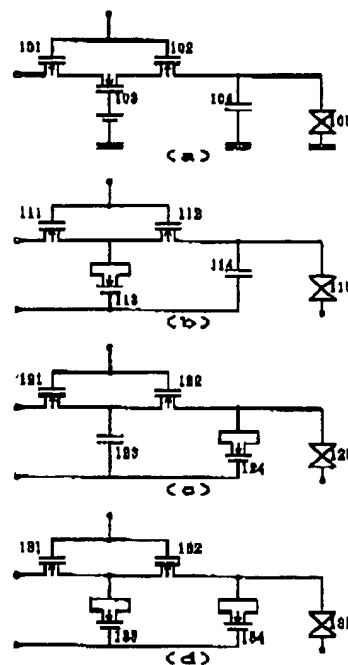
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【課題】 アクティブマトリクス表示装置のOFF電流を低減させる構成を提供する。

【解決手段】 アクティブマトリクス表示装置において、薄膜トランジスタを設け、前記薄膜トランジスタには、容量が接続され、前記容量は、電極と、絶縁膜と、薄膜トランジスタのチャネル領域と同じ材料で構成することにより、前記薄膜トランジスタのOFF時の補助容量の放電量を軽減させる。



(2)

特開2000-314900

1

【特許請求の範囲】

【請求項1】 アクティブマトリクス表示装置において、基板上にマトリクス状に配置された画素電極を有し、前記画素電極には薄膜トランジスタが接続され、前記薄膜トランジスタは、少なくとも、チャネル領域と、ソース領域と、ドレイン領域と、前記チャネル領域と接したゲイト絶縁膜と、前記ゲイト絶縁膜に接したゲイト電極とで構成されており、前記薄膜トランジスタには、容量が接続され、前記容量は、電極と、該電極下の絶縁膜と、前記絶縁膜下の半導体膜とで構成され、前記半導体膜は、薄膜トランジスタのチャネル領域と同じ材料で構成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 請求項1において、容量を構成する前記絶縁膜は、薄膜トランジスタのゲイト絶縁膜と同じ材料で構成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項3】 請求項1において、容量を構成する前記電極は、薄膜トランジスタのゲイト電極と同じ材料で構成されていることを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス表示装置の表示画面の画質向上をはかる回路および素子に関する。

【0002】

【従来の技術】 図2(A)にアクティブマトリクス表示装置の従来例の概略図を示す。図中の破線で囲まれた領域(204)が表示領域であり、その中に薄膜トランジスタ(201)がマトリクス状に配置されている。前記薄膜トランジスタ(201)のソース電極に接続している配線が画像(データ)信号線(206)であり、前記薄膜トランジスタ(201)のゲイト電極に接続している配線がゲート(選択)信号線(205)である。

【0003】 ここで、駆動素子について着目すると、前記薄膜トランジスタ(201)はデータのスイッチングを行い、液晶セル(203)を駆動する。補助容量(202)は、液晶セルの容量を補強するためのコンデンサで画像データの保持用として用いられる。前記薄膜トランジスタ(201)は液晶に印加する電圧の画像データをスイッチングするのに用いられる。薄膜トランジスタのゲイト電圧を V_{gs} 、ドレイン電流を I_d とすると、図3に示すような $V_{gs}-I_d$ の関係になる。即ちゲイト電圧 V_{gs} が前記薄膜トランジスタのOFFの領域で、 I_d が大きくなる。これをOFF電流という。

【0004】 Nチャネル形薄膜トランジスタの場合、 V_{gs} を負にバイアスした時のOFF電流は、半導体薄膜の表面に誘起されるP型層と、ソース領域及びドレイン領

2

域のN型層との間に形成されるPN接合を流れる電流により規定される。そして、半導体薄膜中には多くのトラップが存在するため、このPN接合は不完全であり接合リーク電流が流れやすい。ゲート電極を負にバイアスするほどOFF電流が増加するのは半導体薄膜の表面に形成されるP型層のキャリア濃度が増加してPN接合のエネルギー障壁の幅が狭くなるため、電界の集中が起こり、接合リーク電流が増加することによるものである。

【0005】 このようにして生じるOFF電流は、ソース/ドレイン電圧に大きく依存する。例えば、薄膜トランジスタのソース/ドレイン間に印加される電圧が大きくなるにしたがって、OFF電流が飛躍的に増大することが知られている。すなわち、ソース/ドレイン間に5Vの電圧を加えた場合と10Vの電圧を加えた場合とでは、後者のOFF電流は前者の2倍ではなく、10倍にも100倍にもなる場合がある。また、このような非線型性はゲート電圧にも依存する。一般にゲート電極の逆バイアスの値が大きい場合(Nチャネル型では、大きなマイナス電圧)には、両者の差が著しい。

【0006】 この問題を解決するためには、例えば、特公平5-44185と特公平5-44196に記述されているように、薄膜トランジスタを直列に接続する方法(マルチゲート法)が提案されている。これは、個々の薄膜トランジスタのソース/ドレインに印加される電圧を減少させることによって、個々の薄膜トランジスタのOFF電流を低減せしめることを意図している。例えば、図2(B)のように2個の薄膜トランジスタを直列に接続した場合、個々の薄膜トランジスタのソース/ドレインに印加される電圧は半分になる。ソース/ドレインに印加される電圧が半分になれば、前述の議論からOFF電流は $1/10$ にも $1/100$ にもなる。

【0007】

【発明が解決しようとする課題】 しかしながら、液晶ディスプレイの画像表示に要求される特性が厳しくなると、上記のマルチゲート法でも必要なだけOFF電流を下げるのが難しくなった。すなわち、ゲート電極の数(薄膜トランジスタの数)を3個、4個、5個と増やしたとしても、各薄膜トランジスタのソース/ドレインに印加される電圧は $1/3$ 、 $1/4$ 、 $1/5$ というようにわずかながら減らないからである。ソース/ドレインに印加される電圧が $1/100$ になるには、ゲートが100個必要であった。すなわち、この方式では、ゲート数を2個にした場合においてが最も効果が顕著であったものの、それ以上のゲートを設けてもあまり大きな効果は期待できないことであった。

【0008】 本発明は、上記のような問題を鑑みてなされたものであり、画素電極に接続する薄膜トランジスタのソース/ドレインに印加される電圧を、通常の場合の $1/10$ 以下、好ましくは $1/100$ 以下とすることによって、OFF電流を低減させる構造を有する画素回路

50

(3)

特開2000-314900

3

を提供することである。この際特徴的なことは、上記目的のための薄膜トランジスタ数は十分に小さくすることである。好ましくは5個以下、より好ましくは3個の薄膜トランジスタによって、上記目標を達成する。

【0008】

【課題を解決するための手段】本発明で開示する発明の1つは、アクティブマトリクス表示装置において、基板上にマトリクス状に配置された画素電極を有し、前記画素電極には薄膜トランジスタが接続され、前記薄膜トランジスタは、少なくとも、チャネル領域と、ソース領域と、ドレイン領域と、前記チャネル領域と接したゲート絶縁膜と、前記ゲート絶縁膜に接したゲート電極とで構成されており、前記薄膜トランジスタには、容量が接続され、前記容量は、電極と、該電極下の絶縁膜と、前記絶縁膜下の半導体膜とで構成され、前記半導体膜は、薄膜トランジスタのチャネル領域と同じ材料で構成されていることを特徴とする。

【0010】上記構成において、容量を構成する前記絶縁膜は、薄膜トランジスタのゲート絶縁膜と同じ材料で構成されていることを特徴とする。

【0011】また、上記構成において、容量を構成する前記電極は、薄膜トランジスタのゲート電極と同じ材料で構成されていることを特徴とする。

【0012】本発明の基本的な思想は、図2(C)に示すように、直列に接続された薄膜トランジスタ(221)、(222)の間に容量(223)を設けることによって、特に画素電極側の薄膜トランジスタ(222)のソース/ドレイン間に現れる電圧を低下せしめ、よって、薄膜トランジスタ(222)のOFF電流を低減させることである。図では容量(224)を示したが、これは必ずしも必要ではない。むしろ、書き込みの際の負担を増大させるものであるので、画素セル(225)の容量と容量(223)の比率が最適なものであれば無いほうが好ましい場合もある。

【0013】具体的な動作について述べると、ゲート信号線(226)に選択信号が送られたときに、薄膜トランジスタ(221)、(222)がどちらもONとなり、画像信号線(227)の信号に応じて、容量(223)、(224)、画素セル(225)が充電される。十分に充電がなされた(平衡)段階では、薄膜トランジスタ(222)のソース/ドレイン間の電圧はほぼ等しい状態となる。

【0014】この状態で選択信号が切られると、薄膜トランジスタ(221)、(222)はいずれもOFFとなる。その後、画像信号線(227)には他の画素の信号が印加されており、薄膜トランジスタ(221)は有限のOFF電流があるので、容量(223)に充電された電荷が放出され、電圧が低下することとなる。しかし、この速度は、図2(A)で示した通常のアクティブマトリクス回路の容量(202)の電圧降下と同じ程度

4

の速度で進行する。

【0015】一方、薄膜トランジスタ(222)に関しては、当初、ソース/ドレイン間の電圧がほぼ0であったために、OFF電流は極めて僅かであったが、その後、容量(223)の電圧が降下するため、徐々にソース/ドレイン間の電圧が増加し、したがって、OFF電流も増加することとなる。しかしながら、このOFF電流の増加による画素セル(225)の電圧降下が図2

(A)に示す通常のアクティブマトリクス回路におけるものよりも十分に緩やかであることは言うまでもない。

【0016】例えば、薄膜トランジスタ(201)と(221)が同じ程度の特性であったとし、容量(202)は1フレームの間に電圧が当初の10Vから90%の9Vになるものとする。図2(A)の場合は、1フレームの間に画素セル(203)の電圧が9Vにまで降下してしまう。しかし、図2(C)の場合には、容量(223)の電圧が9Vに降下しても、薄膜トランジスタ(222)のソース/ドレイン間の電圧は1Vであるので、OFF電流は極めて小さく、しかも、それは1フレームの終了時点での話であるから、画素セル(225)や容量(224)から放出された累積の電荷量は極めて少なく、したがって、画素セル(225)の電圧は10Vとほとんど変わらない。

【0017】図2(B)の場合との比較は簡単ではないが、図2(B)においては、薄膜トランジスタ1個のソース/ドレインに印加される電圧は、図2(A)の場合の10Vの半分の5Vであり、図2(C)の薄膜トランジスタ(222)の場合のように、ソース/ドレイン間の電圧が1Vということは起こりえない。したがって、この面からも本発明の優位性が示される。

【0018】なお、薄膜トランジスタ(221)、(222)のチャネルにLDD領域またはオフセット領域を入れると、それらの領域はドレイン抵抗・ソース抵抗となるため、ドレイン接合の電界強度を緩和させ、さらにOFF電流を減少させることができることは言うまでもない。また、図2(D)に示すように、薄膜トランジスタと容量の組み合わせをさらに追加すれば、より大きな効果が得られるが、図2(A)を図2(C)に置き換えた場合に比較すれば、効果の増大する比率は低下する。

【0019】上記において、容量(223)、(224)は通常のコンデンサであってもよいが、そのうちの1つもしくは両方をMOS型のキャパシタ(MOSキャパシタ)で構成すると、集積化の面で効果的である。なお、容量(224)が必ずしも必要なものではないということは先に述べた通りである。例えば、1個の画素電極に対して3個以上の薄膜トランジスタを直列に接続し、前記直列接続した薄膜トランジスタの両端を除く少なくとも1個の薄膜トランジスタを常時ON状態として容量として使用するか、または前記直列接続した薄膜トランジスタの一方の薄膜トランジスタのドレインと他方

(4)

特開2000-914900

5

の薄膜トランジスタのソースの接続点と交流接地点をMOS容量で接続すればよい。

【0020】

【実施例】【実施例1】 図1(a)は1個の画素セル(105)の一方の電極に薄膜トランジスタを3個接続したアクティブマトリクス表示方式の例を示す。薄膜トランジスタはすべてNチャネル型とするが、Pチャネル型でも同様である。むしろ、低温形成の結晶性シリコン半導体を用いた薄膜トランジスタにおいては、Pチャネル型の方が、OFF電流が小さく、劣化しにくいという特徴がある。

【0021】2個の薄膜トランジスタ(101)、(102)はゲートの配線を共有し、ゲート信号線に接続される。また、薄膜トランジスタ(101)のソースは画像信号線に接続されている。前記2個の薄膜トランジスタの間に、常時ON状態の薄膜トランジスタ(103)を接続する。薄膜トランジスタ(103)を常時ONとするためには、画像信号等によって影響がほとんどないような十分高い正の電位をゲートに与えることが望ましい。

【0022】例えば、画像信号が $-10\text{V} \sim +10\text{V}$ で変動する場合には、薄膜トランジスタのゲートは $+15\text{V}$ 以上、好ましくは $+20\text{V}$ 以上の電位に常に保たれることが望ましい。例えば、薄膜トランジスタ(103)のゲートの電位が $+11\text{V}$ であれば、ゲート/ソース間の電位差はしきい値電圧の近辺の $+1 \sim +11\text{V}$ の間で変動し、薄膜トランジスタ(103)において得られる容量も大きく変動する。これに対して、薄膜トランジスタ(103)のゲートの電位が $+20\text{V}$ であれば、ゲート/ソース間の電位差は $+10 \sim +30\text{V}$ の間で変動するものの、しきい値電圧からは十分に離れているので、薄膜トランジスタ(103)において得られる容量の変動はほとんどない。

【0023】液晶セル(105)と補助容量(104)は薄膜トランジスタ(102)のドレインに接続する。そして、液晶セル(105)と補助容量(104)の他の電極は設置単位に接続すればよい。なお、液晶セル(105)の容量が十分であれば、補助容量(104)はなくてもよい。MOS容量(103)の大きさは補助容量(104)と液晶セル(105)の容量の和との比率において最適なものを選定すればよい。

【0024】図1(a)の動作について説明する。まず2個の薄膜トランジスタ(101)、(102)のゲートに'H'レベルの電圧が印加され、前記薄膜トランジスタがON状態になる。そして、前記薄膜トランジスタ(101)のソースには画像信号に応じた電流が流れ、前記薄膜トランジスタ(101)のドレインに接続している常時ON状態の薄膜トランジスタ(103)は容量として機能し、充電を開始する。前記薄膜トランジスタ(103)は常時ON状態であるため、薄膜トランジ

6

スタ(102)のソースからドレインに電流が流れ、補助容量(104)および液晶セル(105)を充電する。

【0025】次に、薄膜トランジスタ(101)、(102)のゲートに'L'レベルの電圧が印加されると、薄膜トランジスタがOFF状態になり薄膜トランジスタ(101)のソースの電圧が低下し、常時ON状態の薄膜トランジスタ(103)に蓄えられていた電荷に対してOFF電流が流れ、放電を開始する。しかし、常時ON状態の薄膜トランジスタ(103)の容量により、画素に接続されている薄膜トランジスタのドレイン/ソース間の電圧降下が遅れる。よって補助容量(104)および液晶セル(105)の放電量が減少し、次の画面で薄膜トランジスタがON状態になるまで、液晶セル(105)の放電量が抑制される。以上を示したものが図8のドレイン電圧(a)である。

【0026】図1(a)において、常時ONのNチャネル形薄膜トランジスタ(103)を削除した回路を考えてみる。2個のNチャネル形薄膜トランジスタ(101、102)はゲートの配線を共有し、液晶セル(105)と補助容量(104)は薄膜トランジスタ(102)のドレインに接続する。これは図2(B)に示した、いわゆるマルチゲート型の回路である。

【0027】まず2個の薄膜トランジスタ(101)、(102)のゲート電極に'H'レベルの電圧が印加され、薄膜トランジスタがON状態になる。そして、薄膜トランジスタのソースに電流が流れ、補助容量(104)および液晶セル(105)を充電する。

【0028】次に、薄膜トランジスタ(101)、(102)のゲートに'L'レベルの電圧が印加され、薄膜トランジスタがOFF状態になり薄膜トランジスタ(101)のソースの電圧が低下し、このことにより薄膜トランジスタ(102)のドレインの電圧も低下する。よって補助容量(104)と液晶セル(105)は放電を開始する。以上を示したものが図8のドレイン電圧(b)である。(a)の場合と比較して放電量が多く、電圧降下も大きいことが分かる。

【0029】このように、本実施例によって本発明の効果が立証された。なお、図2(D)と同様に、薄膜トランジスタ(102)、(103)と同様な薄膜トランジスタが、薄膜トランジスタ(102)と(104)の間に挿入されればさらに大きな効果が得られることは明らかであろう。

【0030】【実施例2】 図1(b)には、1個の画素電極に薄膜トランジスタを2個接続したアクティブマトリクス回路の画素の例を示す。薄膜トランジスタはすべてNチャネル型とするが、Pチャネル型であっても同様な効果が得られる。

【0031】2個の薄膜トランジスタ(111)、(112)はゲートの配線を共有し、ゲート信号線に接続する。前記薄膜トランジスタのソース/ドレイン間に、M

10

20

30

40

50

(5)

特開2000-314900

7

OS容量(113)を接続する。MOS容量(113)は通常の薄膜トランジスタのソースとドレインを短絡して形成すればよい。このMOS容量はNチャネル型の薄膜トランジスタを用いたので、ゲートが適当な正の電位に保たれていれば、容量として機能する。安定な容量として機能するためには、実施例1の薄膜トランジスタ(103)のゲートと同様に、十分に高い正の電位に保たれることが望ましい。また、本発明を実施するには、少なくとも、当該画素が選択されていない時間の大部分は、MOS容量(113)のゲートは上記のような電位に保持されていることが必要である。また、当該画素が選択されている時間(当該画素が画像信号線の信号によって書き込みされている時間)においても、MOS容量(103)のゲートは上記の電位に保たれていることが望ましい。

【0032】液晶セル(115)と補助容量(114)は薄膜トランジスタ(112)のドレインに接続し、薄膜トランジスタ(111)のソースは画像信号線に接続する。また、容量(114)の一方の電極とMOS容量(113)のゲートは共通の電位に保持すると良い。なお、補助容量(114)は液晶セル(115)の容量が十分であれば必要ではない。

【0033】図1(b)の動作について説明する。簡単のため、MOS容量(113)のゲートは常時、十分に高い正の電位に保たれているものとする。まず2個の薄膜トランジスタ(111)、(112)のゲートに

‘H’レベルの電圧が印加され、薄膜トランジスタがON状態になる。その結果、薄膜トランジスタ(111)のソースに電流が流れ、薄膜トランジスタ(111)のドレインに接続しているMOS容量(113)を充電し始める。また薄膜トランジスタ(112)のソース電極からドレイン電極に電流が流れ、補助容量(114)および液晶セル(115)を充電する。

【0034】次に、薄膜トランジスタ(111)、(112)のゲート電極に‘L’レベルの電圧が印加され、薄膜トランジスタがOFF状態になり薄膜トランジスタ(111)のソース電極の電圧が低下し、MOS容量(113)は薄膜トランジスタのOFF電流により、放電を開始する。しかし、MOS容量(113)により、画素に接続されている薄膜トランジスタのドレイン/ソース間の電圧降下が遅れる。よって、補助容量および液晶セル(115)の放電量が減少し、次の画面で薄膜トランジスタがON状態になるまで、液晶セル(115)の放電量が抑制される。その動作波形は実施例1と同様である。

【0035】〔実施例3〕図1(c)には、1個の画素電極に薄膜トランジスタを2個接続したアクティブマトリクス回路の画素の例を示す。薄膜トランジスタはすべてNチャネル型とするが、Pチャネル型であっても同様な効果が得られる。2個の薄膜トランジスタ(12

8

1)、(122)はゲートの配線を共有し、ゲート信号線に接続する。前記薄膜トランジスタのソース/ドレイン間に容量(123)を接続する。

【0036】補助容量(124)はMOS容量を用いて形成する。これは、実施例2のMOS容量(113)と同様に、通常の薄膜トランジスタのソースとドレインを短絡して形成すればよい。このMOS容量はNチャネル型の薄膜トランジスタを用いたので、ゲートが適当な正の電位に保たれていれば、容量として機能する。安定な容量として機能するためには、実施例2のMOS容量(113)のゲートと同様に、十分に高い正の電位に保たれることが望ましい。また、本発明を実施するには、少なくとも、当該画素が選択されていない時間の大部分は、補助容量(124)のゲートは上記のような電位に保持されていることが必要である。また、当該画素が選択されている時間(当該画素が画像信号線の信号によって書き込みされている時間)においても、補助容量(124)のゲートは上記の電位に保たれていることが望ましい。

【0037】液晶セル(125)と補助容量(124)は薄膜トランジスタ(122)のドレインに接続し、薄膜トランジスタ(121)のソースは画像信号線に接続する。また、容量(123)の一方の電極と補助容量(124)のゲートは共通の電位に保持すると良い。このような回路素子の動作については実施例1、2と同様である。

【0038】〔実施例4〕図1(d)には、1個の画素電極に薄膜トランジスタを2個接続したアクティブマトリクス回路の画素の例を示す。薄膜トランジスタはすべてNチャネル型とするが、Pチャネル型であっても同様な効果が得られる。2個の薄膜トランジスタ(131)、(132)はゲートの配線を共有し、ゲート信号線に接続する。前記薄膜トランジスタのソース/ドレイン間にMOS容量(133)を接続する。これは、実施例2のMOS容量(113)と同様に、通常の薄膜トランジスタのソースとドレインを短絡して形成すればよい。

【0039】本実施例では補助容量(134)もMOS容量を用いて形成する。これらのMOS容量はNチャネル型の薄膜トランジスタを用いたので、ゲートが適当な正の電位に保たれていれば、容量として機能する。安定な容量として機能するためには、実施例2の薄膜トランジスタ(113)のゲートと同様に、十分に高い正の電位に保たれることが望ましい。また、本発明を実施するには、少なくとも、当該画素が選択されていない時間の大部分は、これらMOS容量のゲートは上記のような電位に保持されていることが必要である。また、当該画素が選択されている時間(当該画素が画像信号線の信号によって書き込みされている時間)においても、MOS容量のゲートは上記の電位に保たれていることが望まし

9

い。

【0040】液晶セル(135)と補助容量(134)は薄膜トランジスタ(132)のドレインに接続し、薄膜トランジスタ(131)のソースは画像信号線に接続する。また、MOS容量(133)のゲートと補助容量(134)のゲートは共通の電位に保持すると良い。このような回路素子の動作については実施例1〜3と同様である。

【0041】〔実施例5〕本実施例は実施例1〜4で示した回路の作製工程に関するものである。本実施例では、ゲート電極を陽極酸化することにより、オフセットゲートを構成し、OFF電流を低減することを特色とする。図4の(A)〜(D)に本実施例の工程を示す。まず、基板(401)(コーニング7059、100mm×100mm)上に、下地膜として酸化珪素膜(402)を1000〜5000Å、例えば、3000Åに成膜した。この酸化珪素膜の成膜には、TEOSをプラズマCVD法によって分解・堆積して成膜した。この工程はスパッタ法によっておこなってもよい。

【0042】その後、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を300〜1500Å、例えば、500Å堆積し、これを550〜800℃の雰囲気中に8〜24時間放置して、結晶化せしめた。その際には、ニッケルを微量添加して結晶化を促進せしめてもよい。また、この工程は、レーザー照射によっておこなってもよい。そして、このように結晶化させたシリコン膜をエッチングして、島状領域(403)を形成した。さらに、この上にゲート絶縁膜(404)を形成した。ここでは、プラズマCVD法によって厚さ700〜1500Å、例えば、1200Åの酸化珪素膜を形成した。この工程はスパッタ法によっておこなってもよい。

【0043】その後、厚さ1000Å〜3μm、例えば、5000Åのアルミニウム(1wt%のSi、もしくは0.1〜0.3wt%のScを含む)膜をスパッタ法によって形成して、これをエッチングしてゲート電極(405)、(406)、(407)を形成した。(図4(A))

【0044】そして、ゲート電極に電解溶液中で電流を通じて陽極酸化し、厚さ500〜2500Å、例えば、2000Åの陽極酸化物を形成した。用いた電解溶液は、L-酒石酸をエチレングリコールに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整したものである。その溶液中に基板を浸し、定電流源の+側を基板上のゲート電極に接続し、-側には白金の電極を接続して20mAの定電流状態で電圧を印加し、150Vに達するまで酸化を継続した。さらに、150Vの定電圧状態で、電流が0.1mA以下になるまで酸化を継続した。この結果、厚さ2000Åの酸化アルミニウム被膜(408)、(409)、(410)が得られた。

(6)

特開2000-314900

10

【0045】その後、イオンドーピング法によって、島状領域(403)に、ゲート電極部(すなわち、ゲート電極とその周囲の陽極酸化物被膜)をマスクとして自己整合的に不純物(ここでは磷)を注入し、N型不純物領域を形成した。ここで、ドーピングガスとしてはフォスフィン(PH₃)を用いた。この場合のドーピング量は $1 \times 10^{14} \sim 5 \times 10^{14}$ 原子/cm²、加速電圧は60〜90kV、例えば、ドーピング量を 1×10^{14} 原子/cm²、加速電圧は80kVとした。この結果、N型不純物領域(411)〜(414)が形成された。(図4(B))

【0046】さらに、KrFエキシマーレーザー(波長248nm、パルス幅20ns)を照射して、ドーピングされた不純物領域(411)〜(414)の活性化をおこなった。レーザーのエネルギー密度は200〜400mJ/cm²、好ましくは250〜300mJ/cm²が適当であった。この工程は熱アニールによっておこなってもよい。このようにしてN型不純物領域が形成されたのであるが、本実施例では、陽極酸化物の厚さ分だけ不純物領域がゲート電極から遠い、いわゆるオフセットゲートとなっていることがわかる。

【0047】次に、層間絶縁膜として、プラズマCVD法によって酸化珪素膜(415)を厚さ5000Åに成膜した。このとき、原料ガスにTEOSと酸素を用いた。そして、層間絶縁膜(415)、ゲート絶縁膜(404)のエッチングをおこない、N型不純物領域(411)にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングしてソース電極・配線(416)を形成した。これは画像信号線の延長である。(図4(C))

【0048】その後、パッシベーション膜(417)を形成した。ここでは、NH₃/SiH₄/H₂混合ガスを用いたプラズマCVD法によって窒化珪素膜を2000〜8000Å、例えば、4000Åの膜厚に成膜して、パッシベーション膜とした。そして、パッシベーション膜(417)、層間絶縁膜(415)、ゲート絶縁膜(404)のエッチングをおこない、陽極酸化物被膜(408)上に開孔部を、また、N型不純物領域(414)に画素電極のコンタクトホールを形成した。そして、インジウム錫酸化物(ITO)被膜をスパッタ法によって成膜し、これをエッチングして画素電極(418)を形成した。

【0049】画素電極(418)は陽極酸化物被膜(408)を挟んで、ゲート電極(406)と対向し、容量(419)を形成した。また、N型不純物領域(412)と(413)を同電位に保てば、ゲート電極(406)とその下のシリコン半導体との間にゲート絶縁膜(404)を誘電体としたMOS容量が形成される。(図4(D))

【0050】以上のような工程により、Nチャネル型薄膜トランジスタ(421)、(422)と容量(41

50

(7)

特開2000-314900

11

8)、(420)を有するアクティブマトリクス回路素子が形成された。本実施例では、画素電極はMOS容量のゲートと容量を形成するので、図1(a)もしくは(b)に示される回路と同じである。

【0051】図4は断面図であるが、これを上面より見た例は図3に示される。本実施例において、ゲート電極が図3(A)のように島状領域(403)を横断した場合には、ゲート(406)によって薄膜トランジスタが形成される。一方、図3(B)~(E)のように、ゲート(406)が島状領域(403)を横断しない場合は、MOS容量となる。いずれの場合も、本実施例では、ゲートが3本も存在するが、コンタクトは2か所ですみ、かつ、容量は多層配線を利用して構成されているので専有面積は小さい。

【0052】図3(B)は標準的なMOS容量であるが、アクティブマトリクス回路素子に用いられる薄膜トランジスタのチャネル幅は一般に小さいものであるから、ゲート(406)の幅を十分に大きくしなければ、十分な容量を確保することが難しい。そのような場合には、図3(C)のように、MOS容量の部分だけ島状領域(403)の幅を広くするとよい。また、図3(D)のようにゲート(406)を変形してもよい。

【0053】しかしながら、いずれの方法も十分な容量を確保するには不十分である場合には、図3(E)のように島状領域を変形して、コの字型とすればよい。この場合は、ゲート(405)と(407)を同一直線上に形成できるため、レイアウトの面で有利である。

【0054】【実施例6】図4(E)に本実施例の断面を示す。本実施例では、Nチャネル型薄膜トランジスタ(452)、(453)とその間にゲート(454)を形成し、その下のシリコン半導体との間にゲート絶縁膜を誘電体としてMOS容量(450)が形成される。また、薄膜トランジスタ(453)と画素電極(457)のコンタクトの間にもゲート(455)を形成し、同様にMOS容量(451)が形成される。一方、金属配線(456)は画像信号線の延長である。

【0055】本実施例では薄膜トランジスタ(452)、(453)の間に第1のMOS容量(450)が形成され、画素電極(457)と薄膜トランジスタ(453)の間に第2のMOS容量(451)が形成されているので、図1(d)に相当する。本実施例ではゲートが4本も存在するが、コンタクトは2つで済むので専有面積は比較的小さい。

【0056】【実施例7】図4(F)に本実施例の断面を示す。本実施例では、Nチャネル型薄膜トランジスタ(472)、(473)とその間から金属配線(474)を引き出し、これを薄膜トランジスタ(473)と画素電極(478)との間に設けたゲート(477)の上面に延長し、陽極酸化物を誘電体として容量(470)を構成している。一方、ゲート(477)において

12

はその下のシリコン半導体との間にゲート絶縁膜を誘電体としてMOS容量(471)が形成される。一方、金属配線(475)は画像信号線の延長である。

【0057】本実施例ではMOS容量のゲート(471)と薄膜トランジスタ(472)、(473)から延在した配線(474)の間に容量が形成され、MOS容量は画素電極(478)と並列に存在するので、図1(c)に相当する。

【0058】【実施例8】図5のに本実施例の工程を示す。まず、基板(501)上に、下地酸化珪素膜(502) (厚さ2000Å)を堆積し、結晶性シリコン膜によって島状領域(503)を形成した。さらに、この上にゲート絶縁膜(504)を形成した。

【0059】その後、厚さ、5000Åのアルミニウム膜をスパッタ法によって形成した。後の多孔質陽極酸化物被膜形成工程におけるフォトレジストとの密着性の改善のために、アルミニウム膜表面に厚さ100~400Åの薄い陽極酸化膜を形成してもよい。その後、スピニング法によって厚さ1μm程度のフォトレジストを形成した。そして、公知のフォトリソグラフィー法によって、ゲート電極(505)、(506)、(507)をエッチングにより形成した。ゲート電極上には、フォトレジストのマスク(508)、(509)、(510)を残存させた。(図5(A))

【0060】次に、基板を10%シュウ酸水溶液に浸し、定電流源の+側を基板上のゲイト電極(505)、(507)に接続し、-側には白金の電極を接続して陽極酸化をおこなった。この時、5~50V、例えば、8Vの定電圧で、10~500分、例えば、200分陽極酸化をおこなうことによって、厚さ5000Åの多孔質の陽極酸化物(511)、(512)をゲート電極(505)、(507)の側面に形成した。得られた陽極酸化物は多孔質であった。ゲート電極の上面には、マスク材(508)、(510)が存在するために陽極酸化はほとんど進行しなかった。また、ゲート電極(506)には電流を通じなかったため、陽極酸化物は形成されなかった。(図5(B))

【0061】その後、マスク材を除去してゲイト電極上面を露出させた。そして、実施例5と同様にL-酒石酸をエチレングリコールに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整した電解溶液中でゲート電極(505)、(506)、(507)に電流を通じて陽極酸化し、厚さ500~2500Å、例えば、2000Åの緻密な酸化アルミニウム被膜(513)、(514)、(515)が得られた。

【0062】その後、イオンドーピング法によって、島状シリコン領域(503)に、ゲイト電極部をマスクとして自己整合的に不純物(ここでは燐)を注入し、N型不純物領域を形成した。ここで、ドーピングガスとして

(8)

特開2000-314900

13

はジボラン (B₂H₆) を用いた。この場合のドーズ量は $1 \times 10^{14} \sim 5 \times 10^{14}$ 原子/cm²、加速電圧は40～90 kV、例えば、ドーズ量を 1×10^{14} cm⁻²、加速電圧は85 kVとした。この結果、P型不純物領域(516)～(519)が形成された。(図5(C))
【0063】さらに、KrFエキシマーレーザー(波長248 nm、パルス幅20 nsec)を照射して、ドーピングされた不純物領域(516)～(519)の活性化をおこなった。次に、層間絶縁膜として、プラズマCVD法によって酸化珪素膜(520)を厚さ3000 Åに成膜した。さらに、層間絶縁膜(520)、ゲイト絶縁膜(504)のエッチングをおこない、P型不純物領域(516)にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングして画像信号線(521)を形成した。(図5(D))

【0064】その後、パッシベーション膜(522)を形成し、パッシベーション膜(522)、層間絶縁膜(520)、ゲイト絶縁膜(504)のエッチングをおこない、陽極酸化物被膜(514)上に開孔部を、また、P型不純物領域(519)に画素電極のコンタクトホールを形成した。そして、ITOを成膜、エッチングして画素電極(523)を形成した。画素電極(523)は陽極酸化物被膜(514)を誘電体としてゲート電極(508)と対向し、容量を形成している。また、P型不純物領域(517)と(518)を同電位に保てば、ゲート電極(508)とその下のシリコン半導体との間にゲート絶縁膜(504)を誘電体としたMOS容量が形成される。(図5(E))

【0065】以上のような工程により、Pチャネル型薄膜トランジスタ(526)、(527)と容量(524)、MOS容量(525)を有するアクティブマトリクス回路素子が形成された。本実施例では、画素電極はMOS容量のゲートと容量を形成するので、トランジスタの導電型は逆であるが、図1(a)もしくは(b)に示される回路と同じである。

【0066】本実施例ではOFF電流を抑制する必要のある薄膜トランジスタ(526)、(527)に関しては、実施例5の場合によりオフセット幅を広くした。一方、MOS容量ではオフセットの存在は不要であるばかりか、場合によっては抵抗成分となって回路にとって好ましくないため、オフセットを小さくした。

【0067】

【発明の効果】以上、本発明に示したように、複数の薄膜トランジスタおよび適当な容量を接続することにより、液晶セルの電圧降下を抑制することができた。本発明においては、特に図2(C)の薄膜トランジスタ(222)のソース/ドレイン間の電圧は全ての駆動過程において低く保たれる。一般に薄膜トランジスタの劣化は

14

ソース/ドレイン間の電圧に依存するので、本発明を利用することにより、劣化を防止することもできる。

【0068】本発明は、より高度な画像表示が要求される用途において効果的である。すなわち、256階調以上の極めて微妙な濃淡を表現する場合には液晶セルの放電は1フレームの間に1%以下に抑えられることが必要である。従来の方式は図2(A)、(B)のいずれもこの目的には適したものではなかった。

【0069】また、本発明は特に行数の多いマトリクスの表示等の目的に適した結晶性シリコン半導体の薄膜トランジスタを用いたアクティブマトリクス表示装置にも適している。一般に、行数の多いマトリクスでは、1行あたりの選択時間が短いのでアモルファスシリコン半導体の薄膜トランジスタは用いるのに適当でない。しかしながら、結晶性シリコン半導体を用いた薄膜トランジスタはOFF電流が多いことが問題となっている。このため、OFF電流を低減できる本発明はこの分野でも大きな貢献が可能である。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス回路素子例を示す。

【図2】 従来および本発明のアクティブマトリクス回路の概略を示す。

【図3】 本発明による半導体領域およびゲートの配置例を示す。

【図4】 実施例におけるアクティブマトリクス回路素子の製造工程を示す。

【図5】 実施例におけるアクティブマトリクス回路素子の製造工程を示す。

【図6】 本発明によるアクティブマトリクス回路素子の駆動概要を示す。

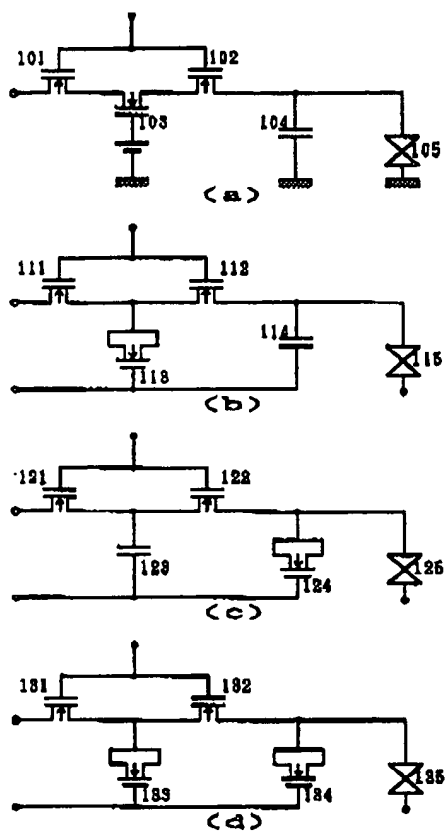
【符号の説明】

101、102	・・・	薄膜トランジスタ
103	・・・	薄膜トランジスタ(常時ON)
104	・・・	補助容量
105	・・・	画素セル
111、112	・・・	薄膜トランジスタ
113	・・・	MOS容量
114	・・・	補助容量
115	・・・	画素セル
121、122	・・・	薄膜トランジスタ
123	・・・	容量
124	・・・	補助容量(MOS容量)
125	・・・	画素セル
131、132	・・・	薄膜トランジスタ
133	・・・	MOS容量
134	・・・	補助容量(MOS容量)
135	・・・	画素セル

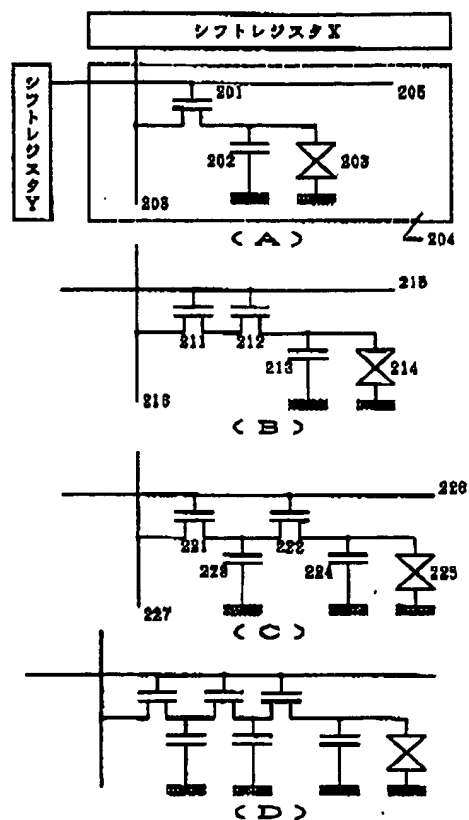
(9)

特開2000-314900

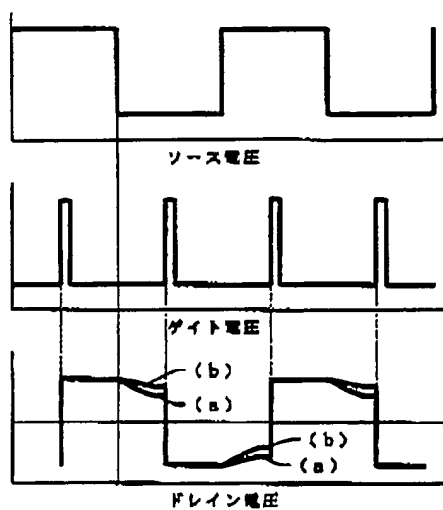
【図1】



【図2】



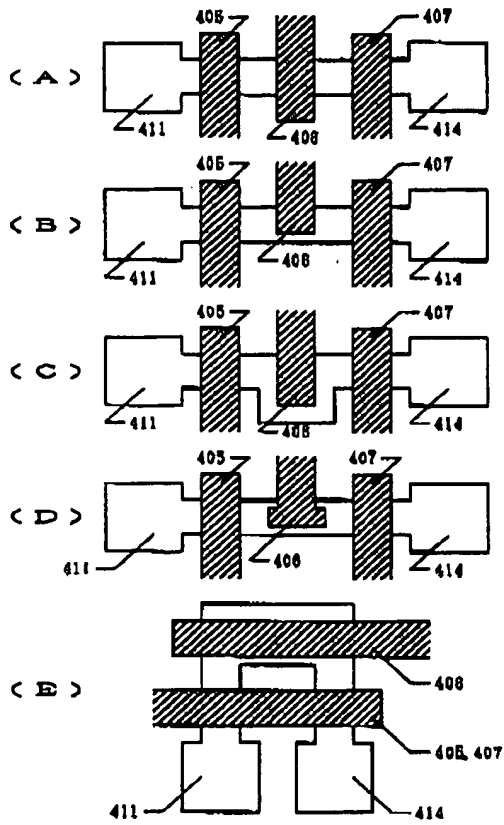
【図6】



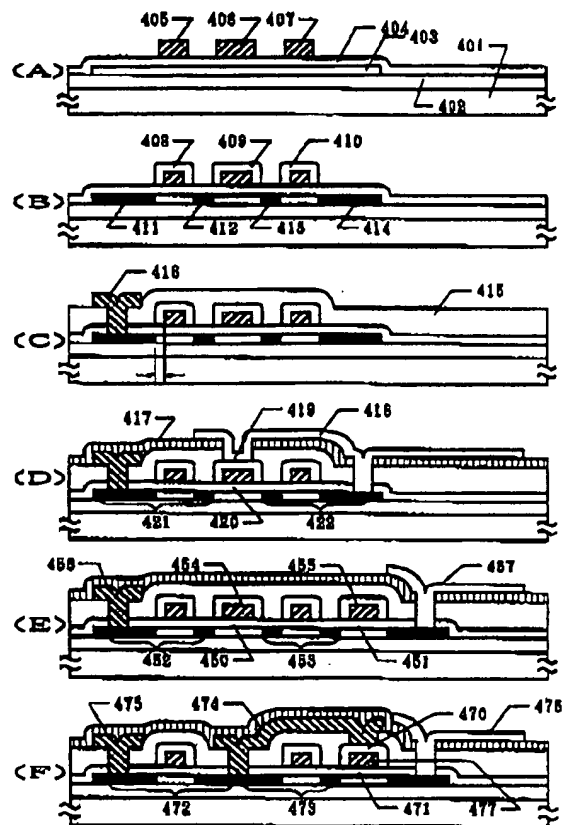
(10)

特開2000-314900

【図3】



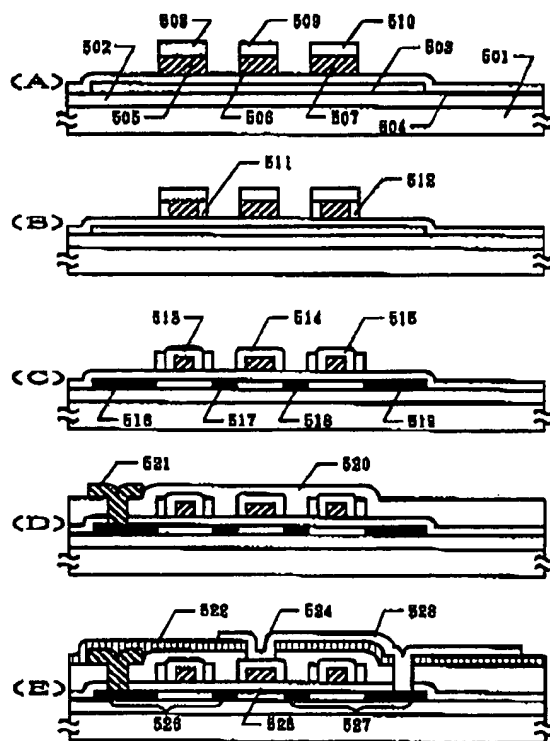
【図4】



(11)

特開2000-314900

【図5】



フロントページの続き

(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 河崎 祐司
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

特開2000-314900

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成13年11月9日(2001. 11. 9)

【公開番号】特開2000-314900(P2000-314900A)

【公開日】平成12年11月14日(2000. 11. 14)

【年通号数】公開特許公報12-3149

【出願番号】特願2000-93236(P2000-93236)

【国際特許分類第7版】

G02F	1/1368	
G09F	9/30	338
H01L	29/786	
	21/336	

【F I】

G02F	1/136	500
G09F	9/30	338
H01L	29/78	612 Z

【手続補正書】

【提出日】平成13年3月29日(2001. 3. 29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】アクティブマトリクス表示装置において、基板上にマトリクス状に配置された画素電極を有し、前記画素電極には薄膜トランジスタが接続され、前記薄膜トランジスタは、少なくとも、チャンネル領域と、ソース領域と、ドレイン領域と、前記チャンネル領域と接したゲイト絶縁膜と、前記ゲイト絶縁膜に接したゲイト電極とからなり、

前記薄膜トランジスタには、容量が接続され、前記容量は、電極と、前記電極下の絶縁膜と、前記絶縁膜下の半導体膜とでなり、前記半導体膜は、薄膜トランジスタのチャンネル領域と同じ材料からなることを特徴とするアクティブマトリクス型表示装置。

【請求項2】請求項1において、前記容量の前記絶縁膜は、薄膜トランジスタのゲイト絶縁膜と同じ材料で構成からなることを特徴とするアクティブマトリクス型表示装置。

【請求項3】請求項1において、前記容量の前記電極は、薄膜トランジスタのゲイト電極と同じ材料でからなることを特徴とするアクティブマトリクス型表示装置。